ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ No:3

Φύλλο εκπαιδευτικού

ΘΕΜΑ: Flip-flop

Ονοματεπώνυμο σπουδαστή…… Βαθμός:

Σκοπός της άσκησης:

Σκοπός της παρούσας άσκησης είναι να δείξει τον τρόπο λειτουργίας των flip-flip, τη χρήση τους στην υλοποίηση απλών λογικών κυκλωμάτων και την υλοποίησή τους με προγράμματα σε γλώσσα VHDL.

Διαθέσιμα υλικά:

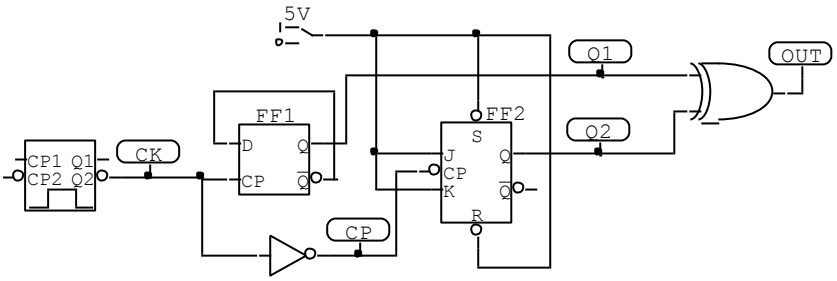
Το σχεδιαστικό πακέτο MAX PLUS II της ALTERA.

ΑΣΚΗΣΗ 1η:

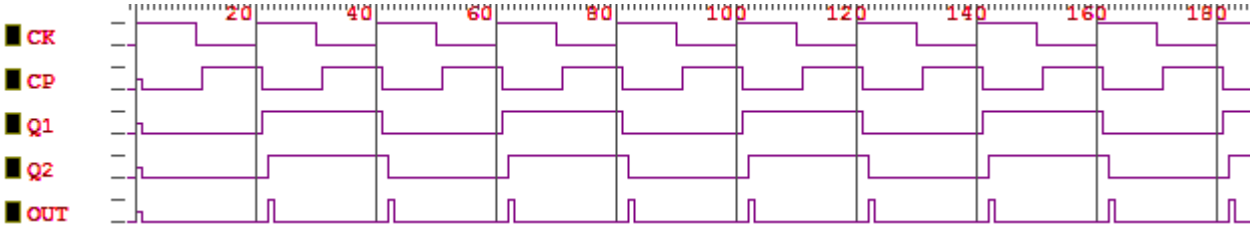
Σε πολλά κυκλώματα υπάρχουν πάνω από ένα flip-flop, που χρειάζεται να λειτουργούν σύγχρονα. Αυτό σημαίνει ότι όλα τα flip-flop πρέπει να ενεργοποιούνται στο θετικό ή το αρνητικό μέτωπο του παλμού χρονισμού και ότι ο παλμός χρονισμού πρέπει να φτάνει στις εισόδους χρονισμού ταυτόχρονα. Αυτό, όμως, το τελευταίο πολύ σπάνια μπορεί να συμβαίνει εξαιτίας των καθυστερήσεων διάδοσης ή άλλων προβλημάτων των κυκλωμάτων. Η διαφορά στο χρόνο που τα μέτωπα των παλμών ρολογιού φτάνουν στις εισόδους CK ονομάζεται λόξεμα ρολογιού (Clock Skew) και μπορεί να δημιουργήσει αιχμές (Glitches) στο σήμα της εξόδου. Οι αιχμές αυτές είναι άκρως ανεπιθύμητες ιδιαίτερα αν το σήμα εξόδου πρόκειται να οδηγήσει τα ρολόγια ή τις ασύγχρονες εισόδους CLEAR και PRESET άλλων flip-flop.
Ένα κύκλωμα που παρουσιάζει φαινόμενο λοξέματος ρολογιού φαίνεται στο σχήμα 1.1 και παρακάτω στο σχήμα 1.2 φαίνονται τα διαγράμματα χρονισμού του κυκλώματος που παίρνονται από το σχεδιαστικό πακέτο circuitmaker.
Το κύκλωμα στο χώρο του σχήματος 1.3 είναι ξανασχεδιασμένο έτσι ώστε να μειώνει ή και να εξαφανίζει την παρουσία του φαινόμενου λοξέματος ρολογιού και παρακάτω στο σχήμα 1.4 φαίνονται τα διαγράμματα χρονισμού του κυκλώματος που παίρνονται από το σχεδιαστικό πακέτο circuitmaker.

Ζητείται:

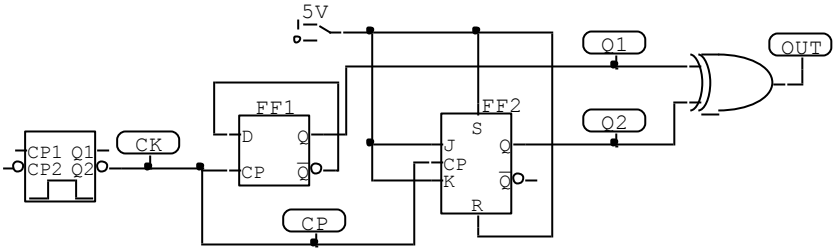
Να γραφτεί σε γλώσσα VHDL το προγράμματα που θα υλοποιεί το κύκλωμα του σχήματος 1.3 και να συγκριθούν τα διαγράμματα προσομοίωσής του με εκείνα που παίρνονται από το σχεδιαστικό πακέτο circuitmaker.



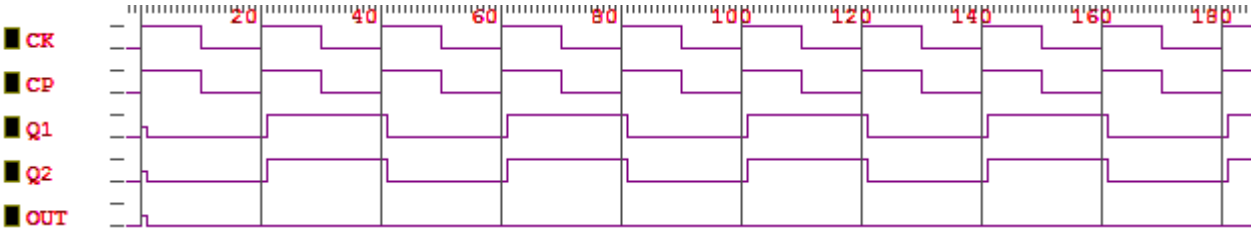
Σχήμα 1.1



Σχήμα 1.2



Σχήμα 1.3



Σχήμα 1.4

ΑΣΚΗΣΗ 2η:

Ορισμένες φορές οι αιχμές που παράγονται από κάποια ακολουθιακά κυκλώματα μπορεί να είναι και χρήσιμες αρκεί να είναι ελεγχόμενες. Ελεγχόμενη είναι μια αιχμή όταν έχει σχεδιαστεί να δημιουργεί συγκεκριμένα γεγονότα. Ο τρόπος με τον οποίο σχεδιάζονται οι ελεγχόμενες αιχμές είναι ο παρακάτω:

1. ***Το γεγονός 1 ξεκινά τη δημιουργία μιας αιχμής.***
2. ***Η αιχμή αυτή προκαλεί το γεγονός 2.***
3. ***Η πρόκληση του γεγονότος 2 τερματίζει την αιχμή.***

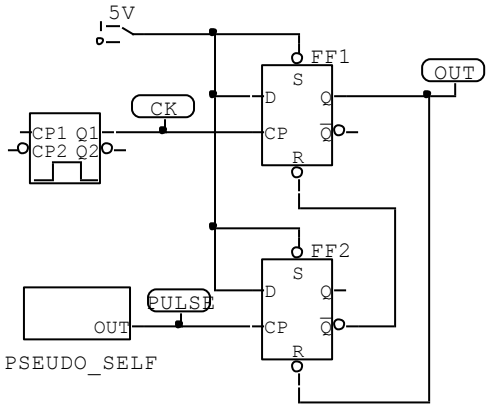
Προφανώς η αιχμή πρέπει να είναι πολύ μικρής διάρκειας αφού το γεγονός που την προκαλεί είναι εκείνο που τη σταματά.

Στο σχήμα 2.1 φαίνεται ένα τέτοιο κύκλωμα με δύο γραμμές εισόδου A (CK) και B (PULSE) που χρησιμοποιεί δύο flip-flop και λειτουργεί ως εξής:

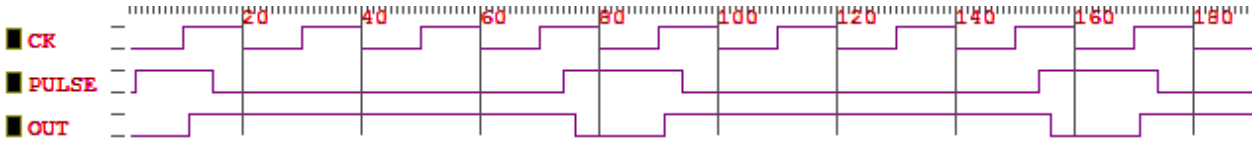
Η έξοδος Q του flip-flop 1 πηγαίνει στο ¨1¨ στο θετικό μέτωπο της γραμμής A (CK). Αυτό θα ενεργοποιήσει το flip-flop 2, του οποίου η έξοδος θα πάει σε λογικό ¨1¨ στο θετικό μέτωπο της γραμμής B (PULSE), που με τη σειρά του θα προκαλέσει την έξοδο του flip-flop 1 να πάει σε λογικό ¨0¨ και αυτό θα καθαρίσει (λογικό ¨0¨) το flip-flop 2.

Ζητείται:

Να γραφτεί σε γλώσσα VHDL το προγράμματα που θα υλοποιεί το κύκλωμα του σχήματος 2.1 και να συγκριθούν τα διαγράμματα προσομοίωσής του με εκείνα που παίρνονται από το σχεδιαστικό πακέτο circuitmaker και φαίνονται στο σχήμα 2.2.



Σχήμα 2.1



Σχήμα 2.2

Σημείωση:

Ο σπουδαστής θα γίνεται δεκτός στο εργαστήριο μόνο όταν έρθει προετοιμασμένος με πλήρες το φυλλάδιο έργου στο οποίο θα περιέχονται: απαντημένα τα ερωτήματα, σχεδιασμένα τα κυκλώματα, συμπληρωμένοι οι πίνακες, σχεδιασμένες οι κυματομορφές.

Στο εργαστήριο θα γίνεται επαλήθευση των αναμενόμενων αποτελεσμάτων.

Ο σπουδαστής θα πρέπει κάθε στιγμή, κατά τη διάρκεια του εργαστηρίου, να είναι έτοιμος να απαντήσει σε οποιαδήποτε ερώτηση αφορά το θεωρητικό μέρος της εργαστηριακής άσκησης.